

文章编号: 1004-0609(2004)S1-0369-12

2.5~40 Gb/s 光收发关键器件芯片技术^①

朱 恩, 王志功, 冯 军, 黄 颀, 王 欢, 陈海涛, 孟凡生,
杨守军, 吴春红, 仇应华, 沈 桢, 郁伟嘉, 王雪艳, 程树东,
孙 玲, 费瑞霞, 王峻峰, 刘欢艳, 陈明洁
(东南大学 无线电工程系 射频与光电集成电路研究所, 南京 210096)

摘 要: 介绍了 2.5~40 Gb/s 的光通信收发器处理芯片的研究情况, 芯片功能包括复接器、激光驱动器、前置放大器与限幅放大器、时钟恢复和数据判决电路以及分接器。采用的工艺有 0.18/0.25 μm CMOS, 0.15/0.2 μm GaAs PHEMT 和 2 μm GaAs HBT 等, 采用多项目晶圆方式和国外先进的工艺生产线进行芯片制作。研究中采用了高速电路技术和微波集成电路技术, 如采用 SCFL 电路、超动态 D 触发器电路、同步注入式 VCO、分布放大器、共面波导和传输线技术等。在 SDH 155 Mb/s~2.5 Gb/s 的收发器套片设计方面已实现产品化。还介绍了 10 Gb/s 的收发器套片产品化问题, 如封装问题等, 讨论了 40 Gb/s 以上速率芯片技术的发展趋势, 包括高速器件建模和测试问题等。

关键词: 光纤通信; SDH; 超高速集成电路; 收发器; CMOS; GaAs; PHEMT; HBT; SCFL; VCO

Transceiver integrated circuit technology for 2.5~40 Gb/s optical fiber communication

ZHU En, WANG Zhigong, FENG Jun, HUANG Ting, WANG Huan, CHEN Haitao,
MENG Fansheng, YANG Shoujun, WU Chunhong, QIU Yinghua,
SHEN Zhen, YU Weijia, WANG Xueyan, CHENG Shudong, SUN Ling, FEI Ruixia,
WANG Junfeng, LIU Huanan, CHEN Mingjie
(Department of Radio Engineering, Southeast University, Nanjing 210096, China)

Abstract: The transceiver integrated circuits technology of 2.5~40 Gb/s was studied for optical fiber communication. The ICs include multiplexer, laser driver, preamplifier and limiting amplifier, clock recovery and data decision, demultiplexer. The technologies of 0.18/0.25 μm CMOS, 0.15/0.2 μm GaAs PHEMT and 2 μm GaAs HBT were used to research and design the ICs. The MPW (multi-project wafer) method and advanced foundry technology were adopted to produce the ICs. The high-speed circuit technology and MMIC technology were adopted to research our circuit, such as SCFL structure, super-dynamic DFF, synchronization injection VCO, distributed amplifier, coplanar waveguide and transmission-line technology. The 155 Mb/s~2.5 Gb/s SDH transceiver ICs was produced. The developing trend of above 40 Gb/s ICs design technology was discussed, including high-speed device modeling and the ICs testing.

Key words: optical fiber; communication; SDH; super-high speed integrated circuit; transceiver; CMOS; GaAs; PHEMT; HBT; SCFL; VCO

光通信集成电路的发展与光通信的市场需求密切相关。近几年来, 电信市场全面开放, 光纤通信

的发展速度超过了数据业务的增长速度, 成为目前发展速度最快的技术, 光通讯技术的迅速发展和普

① 作者简介: 朱 恩(1965-), 男, 教授, 博士

通讯作者: 朱 恩, 教授; 电话: 025-83793303-8101; E-mail: zhuenpro@seu.edu.cn

及给光电集成电路带来了巨大的市场需求。目前,国内干线上的 SDH 采用的基本上是 2.5 Gb/s 的系统,10 Gb/s 的系统也在酝酿上马。国际上提高光信号传输速度的下一个目标是从 40 Gb/s 提高到 80 Gb/s 乃至 160 Gb/s,它要求驱动电路的工作速度要在 40 Gb/s 以上。目前,围绕 40 Gb/s 以上的调制和驱动电路的实现,欧美日的器件公司竞争非常激烈。

东南大学无线电系射频与光电集成电路研究所(以下简称射光所)承担了国家“八六三”计划项目“10~40G 光收发关键器件芯片技术研究”的课题,芯片系统针对 SDH 体系的 STM-64/256 两个标准,采用国际上先进的半导体工艺进行理论研究和芯片设计,选择的工艺有 0.25/0.18 μm CMOS, 2 μm GaAs HBT 工艺, 0.1/0.2 μm GaAs HEMT 工艺等,同时争取获得 InP 基的 HBT、SiGe 的 BiCMOS 工艺,课题也要研究产品化问题。这项课题的意义不仅是为了解决高端 SDH 的芯片技术问题,更重要的是,它可以填补我国在这个尖端芯片核心设计技术领域的空白,技术本身具有普适性,可以解决相似的光通讯系统芯片技术问题,如万兆以太网收发器处理芯片等。目前,东南大学射光所在 10 Gb/s 以下的 SDH 套片设计上已完全成熟,已研制成功了从 155 Mb/s, 622 Mb/s 到 2.5 Gb/s 的 SDH 收发器产品化芯片(见图 1)。

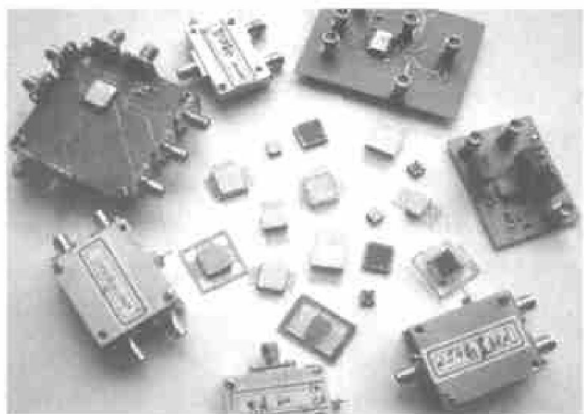


图 1 射光所的 SDH STM-1~16 的收发器芯片系列化产品

1 研究进展

1.1 芯片系统的功能和指标

10~40 G 光收发关键器件芯片系统的功能包括:复接器、激光驱动器、前置放大器、限幅放大器、时钟恢复、数据判决电路和分接器,芯片结构见图 2,芯片的特性针对 SDH。

图 2 中,在发送端,复接器是把 N 路低速数据

复接成 1 路高速数据,激光驱动器驱动激光二极管发光,激光驱动器将高速数字电平信号进行放大,并经过电流开关转换为大幅度的电流脉冲来驱动激光二极管;在接收端,光信号由光电二极管转化为电信号,微弱的电信号经过低噪声前置放大器进行预放大,主放大器将前置放大器的输出信号放大至一定幅度,以满足数据判决和时钟恢复电路输入电平的需要,时钟恢复和数据判决电路分别从中恢复出时钟信号和数据信号,分接器从一路高速输入数据流分解出多路低速数据。

根据目前的工艺水平,对于 10 Gb/s 速率的芯片,可以采用 0.25/0.18 μm CMOS 工艺和砷化镓/磷化铟基的 HBT 和 HEMT 工艺,对于 40 Gb/s 速率的芯片,只能采用砷化镓和磷化铟基的 HBT 和 HEMT 工艺才有实现的可能,对于可产品化的 10 Gb/s 芯片组,性能指标要求满足 STM-64 标准。

1.2 采用的工艺和流片途径

选择 CMOS, BiCMOS, PHEMT, HBT, SiGe, InP, GaAs 等工艺和材料,采用多项目晶圆(MPW)方式,把研究和设计的电路送到国外先进的芯片厂进行芯片制作。本研究所开辟和巩固了一系列流片途径,除美国 MOSIS 以外,本所还同 TSMC、Winbond、中芯国际、法国 OMMIC 公司、法国 UMS 公司、美国的 JAZZ 公司、新加坡特许半导体公司等建立了直接流片的途径,同时获得了相关的工艺。这些途径不但可以满足本课题组的需要,同时,本所也通过多项目晶圆的形式,向国内其他单位开放本所的流片渠道,如已向国内其他单位开放的 TSMC 0.18/0.25/0.35 μm CMOS 工艺,本研究所还将开放法国 OMMIC 公司的先进的 0.1 μm GaAs HEMT 工艺,为国内 IC 设计业接触国际最前沿工艺技术提供帮助。

1.3 10 Gb/s 芯片组技术研究的成熟

目前,射光所在 10 Gb/s 芯片组的研究上已基本成熟,采用 0.18~0.25 μm CMOS 工艺,基本可以实现 10 Gb/s 芯片组大部分模块,为了提高性能,少数模块需要用 HBT/HEMT 工艺。

1.3.1 复接器

从结构上分,复接器有串型、并型和树型 3 种结构形式,对于高速光电集成电路来说,采用树型结构(见图 3)有诸多优点,如功耗小,速度快等,所以,这是目前国际上设计复接器流行的做法。

从电路形式上,高速电路主要采用 SCL 逻辑

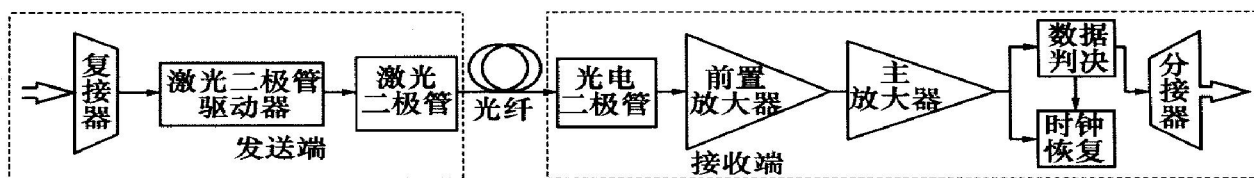


图 2 光纤传输系统框图

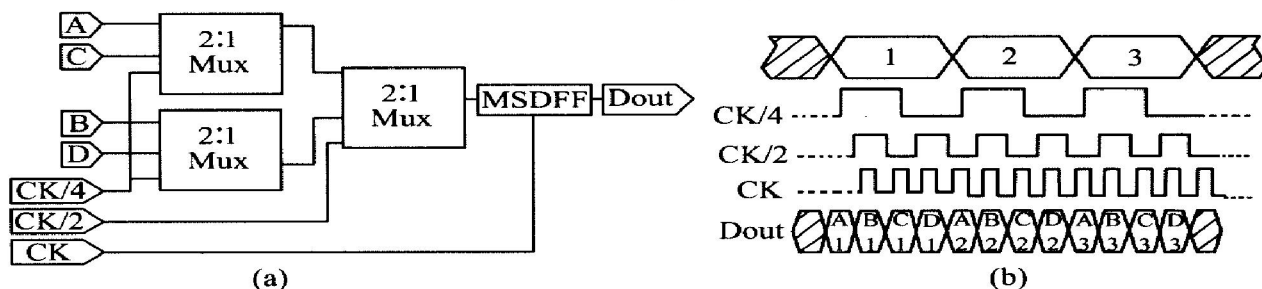


图 3 树型结构的 4:1 复接器和它的复接波形

电路, 结构见图 4。SCL 逻辑电路可以实现多种逻辑运算, 具有速度快、摆幅小和抗干扰能力强等特点, 缺点是功耗较大, 这是为了提高速度所必须付出的代价。

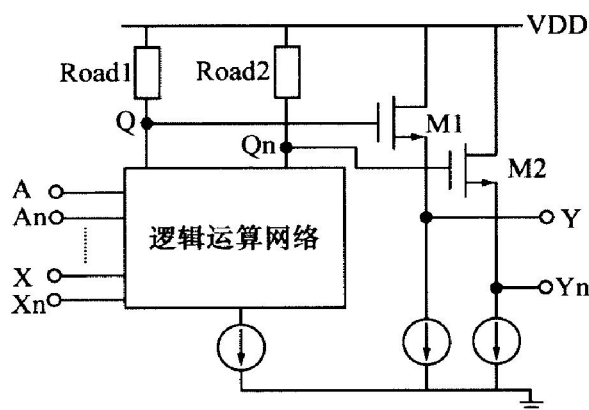
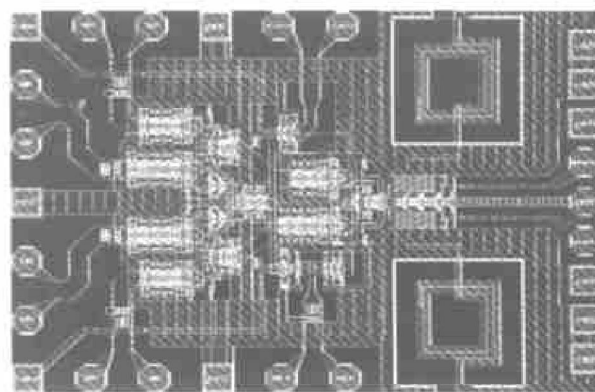


图 4 SCL 逻辑电路

目前, 射光所用 $0.25\ \mu\text{m}$ CMOS 工艺研制的 4:1 复接器, 实测速度已能达到 $8.4\ \text{Gb/s}$ 。本研究所用 $0.18\ \mu\text{m}$ CMOS 工艺研制的 4:1 复接器模拟结果已达 $13\ \text{Gb/s}$, 初步测试结果已超过 $10\ \text{Gb/s}$, 图 5 为给出的版图。

1.3.2 激光驱动器

激光驱动器的基本模块结构见图 6(a), 图 6(b) 所示为采用 CMOS 工艺实现的核心结构的电路图, 其主要部分是多级差分对管, 前面两级对输入信号进行足够的放大, 最后一级的电流开关为其驱动的激光二极管提供足够大的电压和电流, 输出电流的摆幅通过片外的电阻 V_{mod} 来控制。为了得到更好的性能, 最好用 InP 或 GaAs 基的 HBT 或 HEMT 工艺来实现激光驱动器, 射光所用 $2\ \mu\text{m}$ GaAs/HBT

图 5 采用 $0.18\ \mu\text{m}$ CMOS 工艺的 $10\ \text{Gb/s}$ 的 4:1 复接器版图

工艺研制的激光驱动器芯片, 测试结果已能达到 $10\ \text{Gb/s}$ 。图 6(c) 所示为芯片版图。

1.3.3 前置和限幅放大器

光电二极管收到光信号后会产生电流信号, 前置放大器将高速电流信号转换为电压信号并进行预放大, 它是一个高性能的跨阻放大器。限幅放大器将前置放大器的输出信号进行多级放大至限幅状态, 为后面的时钟恢复和数据判决再生电路提供足够大的输入信号, 同时限幅放大器要求有大的动态范围, 当前置放大器的输出信号幅度有大的波动时, 限幅放大器可以保证基本恒定的电压信号输出。图 7(a) 所示为前置放大器功能结构, 图 7(b) 所示为限幅放大器的功能结构。

相比 CMOS 工艺, HBT 具有基极电阻小、发射结电容小、注入效率高、跨导高及驱动能力强等优点, 目前仍然是设计 $10\ \text{Gb/s}$ 级前置和限幅放大器的首选工艺。本研究所采用 $2\ \mu\text{m}$ GaAs HBT 工

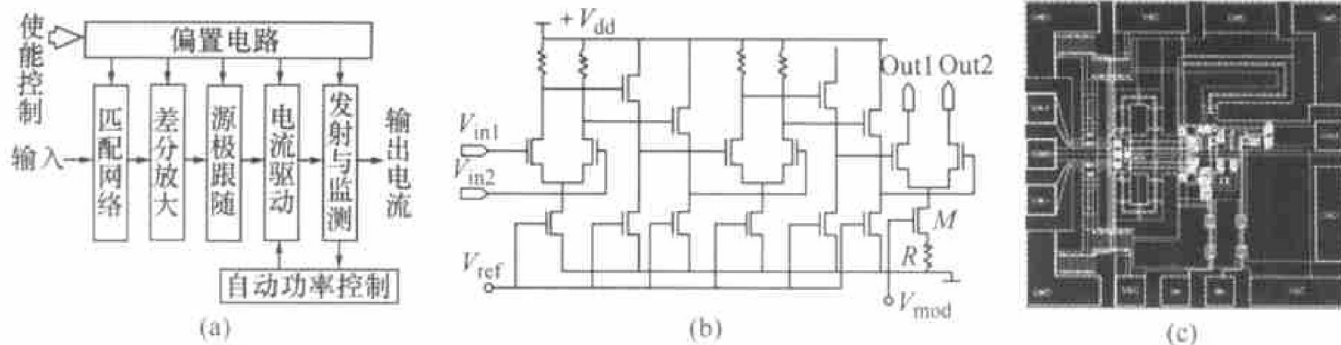


图 6 激光驱动器功能模块

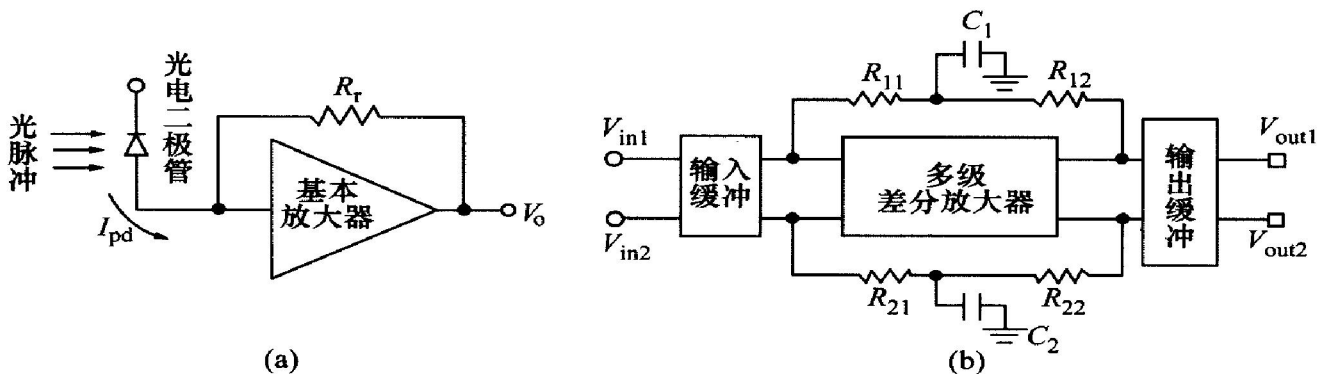


图 7 前置放大器(a)和限幅放大器(b)

艺设计了 10 Gb/s SDH 系统用的光接收机前端放大电路, 测试结果为 10 Gb/s。图 8 所示为电路版图和测试结果。

1.3.4 时钟恢复

时钟恢复电路有多种实现方式, 图 9 所示为王志功教授 1997 年首次在国际上提出的时钟恢复电路专利方案^[1]。这个电路有几个关键的模块, 尤其是 VCO, 这是一个基于锁相环 PLL 结构的时钟恢复电路(见图 10)。

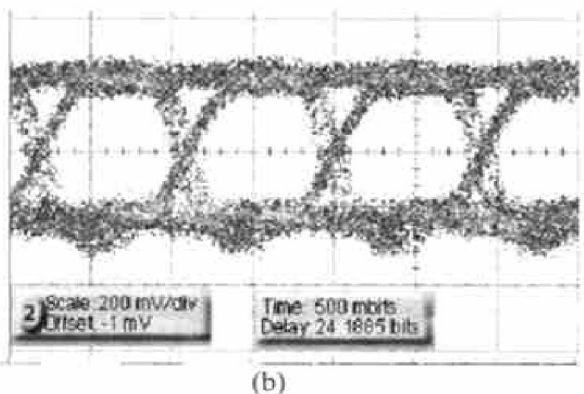
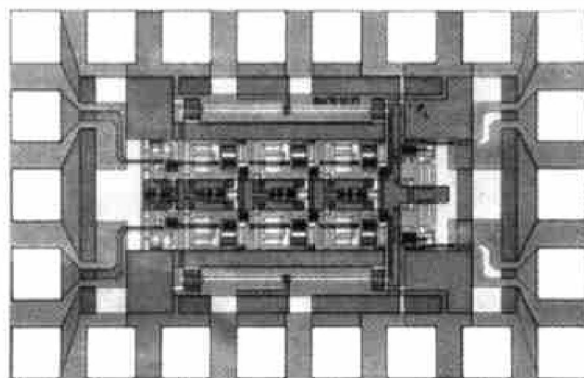


图 8 2 μm GaAs HBT 工艺设计的前置和限幅放大器的版图(a)和输出眼图(b)

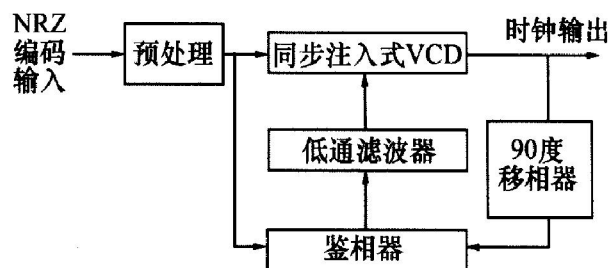


图 9 时钟恢复电路的一种方案

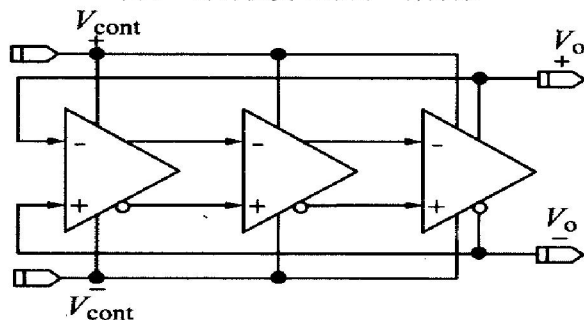


图 10 环型 VCO 电路结构

在采用 0.18 μm CMOS 工艺方面, 本研究所实现了 9~11 GHz 的 VCO。图 11 给出了采用 0.18 μm CMOS 工艺实现的环形 VCO 和锁相环的芯片

版图、照片和测试频谱, 其中 VCO 最高速率为 9~11.5 GHz, 锁相环工作的最高速率为 11.5 GHz。

在采用 GaAs PHEMT 工艺方面, 作者研制的整体时钟恢复电路已将于近期测试。采用法国 OM-MIC 公司的 0.2 μm PHEMT 工艺研制的 PLL 电路首次流片, 实测结果就达到 7.2 Gb/s。图 12 给出了 PLL 及其中的 VCO 的电路原理图, 图 13 所示为芯片照片和测试频谱, 环路锁定在 7.21 GHz 的单边带相位噪声是 $-94 \text{ dBc/Hz@50 kHz}$, 抖动为 $1.27 \text{ ps}\cdot\text{rms}$ 。

对于时钟恢复电路来说, CMOS 工艺没有 GaAsPHEMT 工艺的噪声性能好。

2003 年 3 月和 9 月, 进行了 2 次流片, 其中有 3 种 10 Gb/s 时钟恢复电路和 2 个 10 GHz 左右的 VCO 电路, 图 14 给出了这些电路的版图, 测试结果基本达到设计要求。

对于图 14(a) 的压控振荡器, 采用了 LC 结构, 用 PHEMT 工艺实现这种结构的 VCO, 具有成功率高、压控范围宽、线性度好等特点, 在 10~20 GHz 范围, 这种结构效果最好。图 15 给出了它的仿真结果, 仿真环境采用 Agilent 公司的 EDA 软件 ADS2002, 电路电源采用 3.3 V, 压控范围从 0.9 V 到 3.2 V, 频率范围从 11 GHz 到 16.63 GHz。

1.3.5 数据判决

数据判决电路的结构见图 16, 数据判决电路的实现难点是其中的 D 触发器的设计, 目前, 射光所采用 0.18/0.25 μm CMOS 实现 10 Gb/s 级的数据判决电路已没有任何困难。图 17 给出了采用 0.25 μm CMOS 工艺研制的数据判决电路芯片照片和实测结果, 最高工作速率可达 12 Gb/s。

1.3.6 分接器

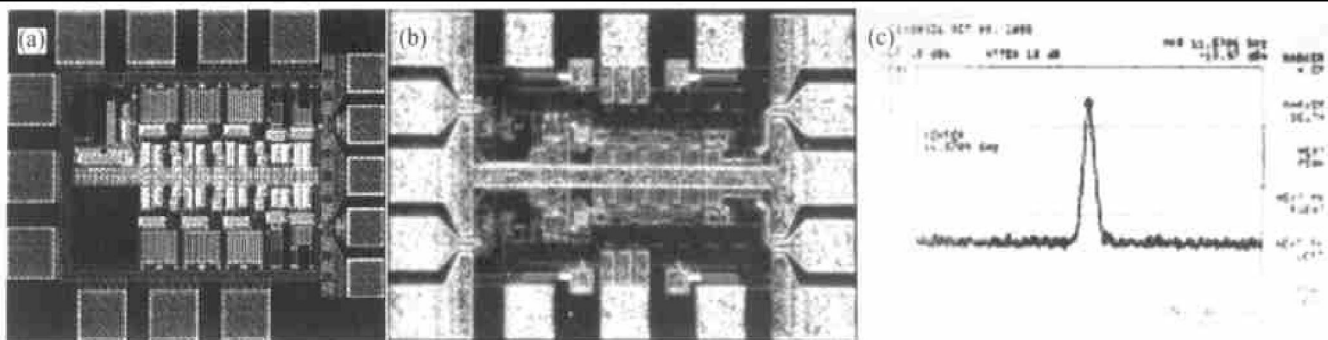


图 11 用 0.18 μm CMOS 工艺设计的环形 VCO 和 PLL

(a) 9 GHz 环形 VCO 版图; (b) 11.5 GHz PLL 芯片照片; (c) 11.5 GHz PLL 信号频谱

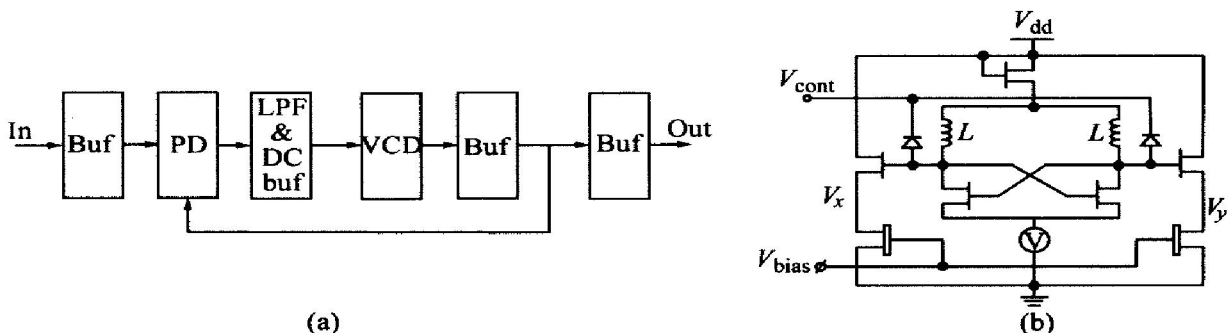


图 12 0.2 μm PHEMT 工艺的 7.2 GHz 锁相环 PLL 及其 VCO 的电路原理图

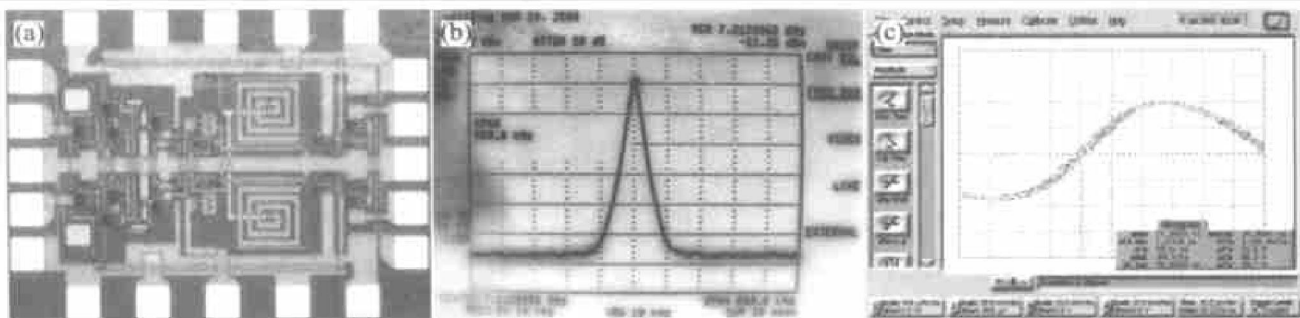


图 13 测试的最高频率为 11.5 GHz 的 PLL 芯片照片和信号频谱

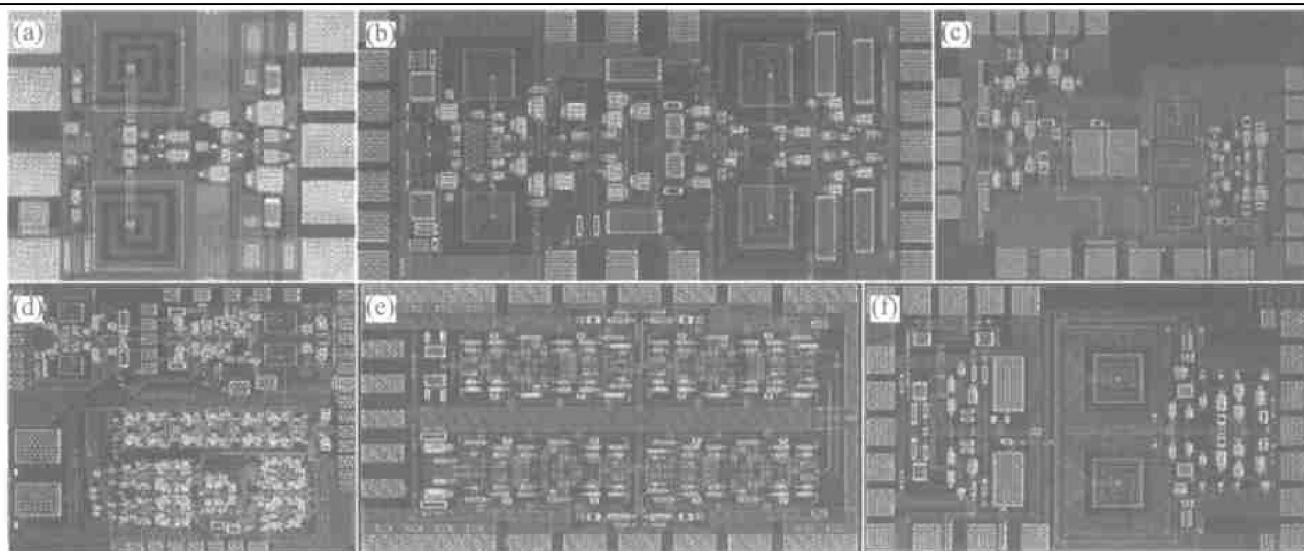


图 14 采用 $0.2\ \mu\text{m}$ GaAs PHEMT 工艺设计的时钟恢复电路和关键模块电路版图

(a) $11\sim 16.5\ \text{GHz}$ VCO; (b) $10\sim 12\ \text{Gb/s}$ 时钟恢复电路; (c) $10\ \text{GHz}$ PLL;
(d) $10\sim 12\ \text{Gb/s}$ 的时钟恢复+ 数据判决; (e) $10\ \text{GHz}$ 的 1:16 分频器; (f) $10\ \text{GHz}$ PD+ VCO

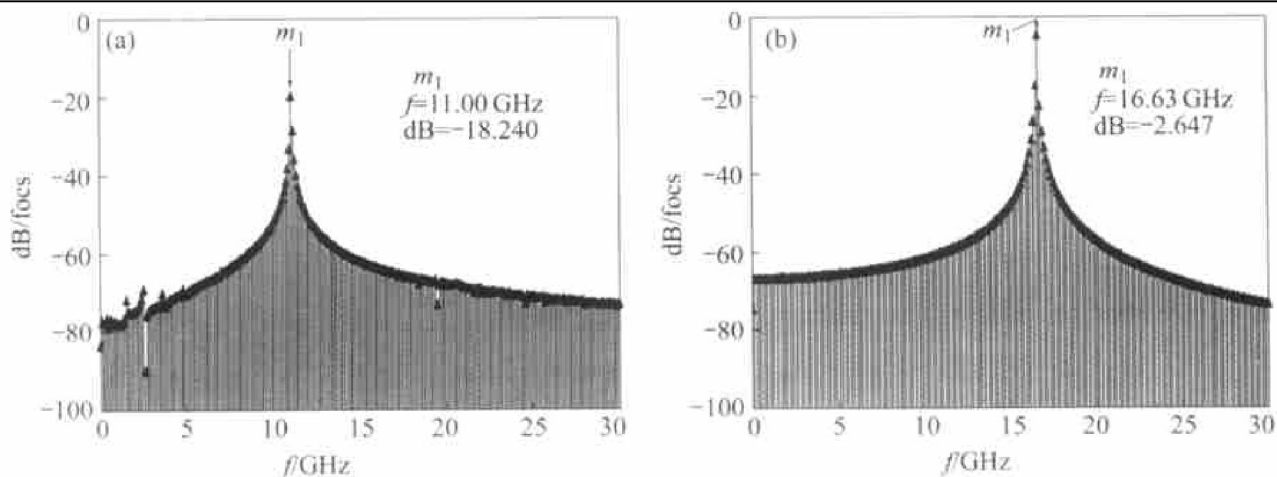


图 15 $11\sim 16.5\ \text{GHz}$ VCO 部分压控特性
(a) 控制电压 $0.9\ \text{V}$; (b) 控制电压 $3.2\ \text{V}$

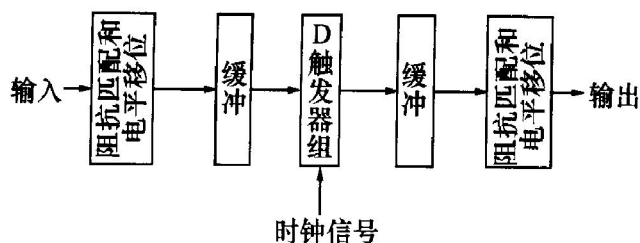


图 16 数据判决电路基本结构

分接器的功能正好与复接器相反, 同样, 分接器也有 3 种实现结构: 串型、并型和树型。图 18 所示为分接器的电路结构, 图 19 所示为用 $0.25\ \mu\text{m}$ CMOS 工艺设计的 1:4 分接器, 测试结果达到 $10\ \text{Gb/s}$ 。用 $0.18\ \mu\text{m}$ CMOS 设计的 1:4 分接器见图 20, 其最高工作速率已达到 $12.5\ \text{Gb/s}$ 。

1.4 $40\ \text{Gb/s}$ 芯片组的技术突破

$40\ \text{Gb/s}$ 芯片组研究需要解决的难题包括: 高速电路设计、版图设计、高速工艺的研究、有源和无源器件模型的研究和开发。电路设计需要引入微波技术和微波集成电路的概念和方法, 目前, 微波集成电路技术也是突飞猛进。对于 $40\ \text{Gb/s}$ 芯片, 芯片的研究已从电路设计转向电场设计, 对工艺要有深刻的理解和掌握, 更为复杂的电磁场计算被引入到电路设计和模拟中来。国际上高速芯片技术的突破目前主要由大公司获得, 因为他们有自己的工艺生产线, 超高速芯片设计要求设计单位与工艺单位的关系更加紧密。芯片的测试成本越来越高, 与此同时, 封装已成为一个突出问题, 并已成为芯片

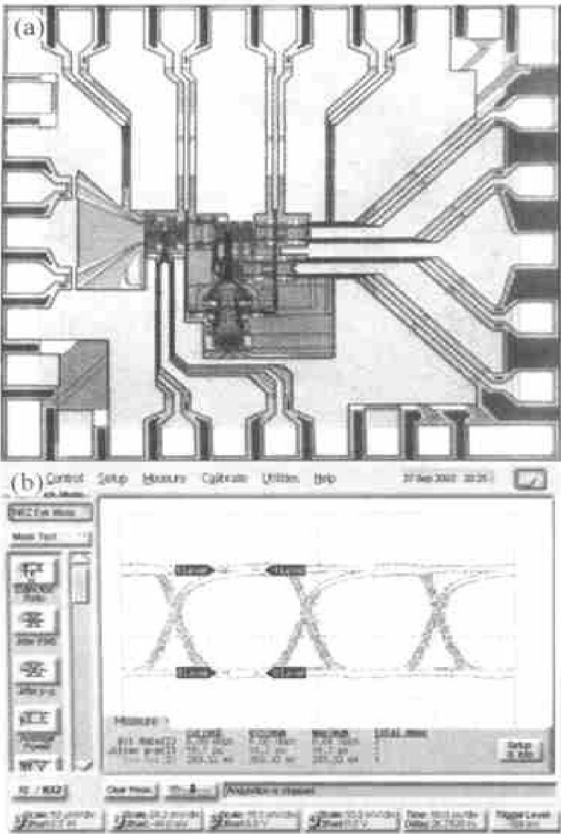


图 17 0.25 μm CMOS 工艺数据判决电路芯片照片和输出眼图

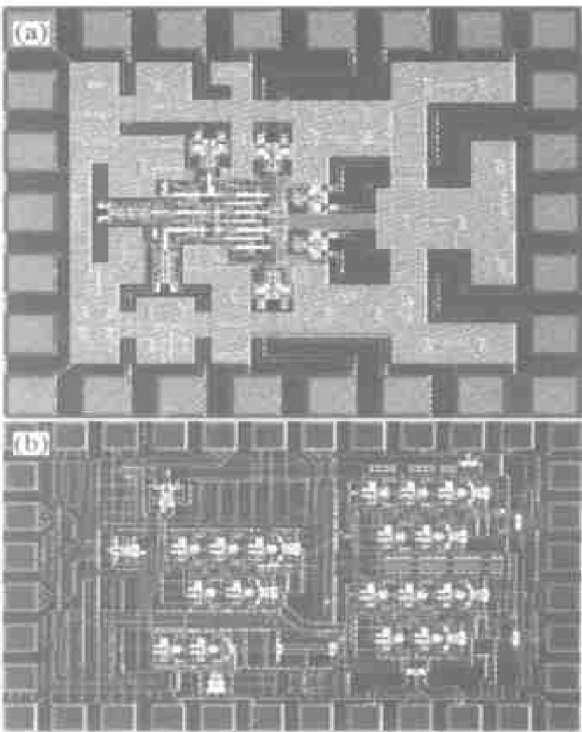


图 20 采用 0.18 μm CMOS 工艺设计的 1:4 分接电路版图

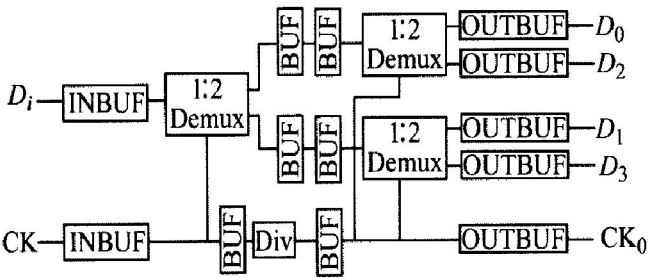


图 18 分接器系统结构

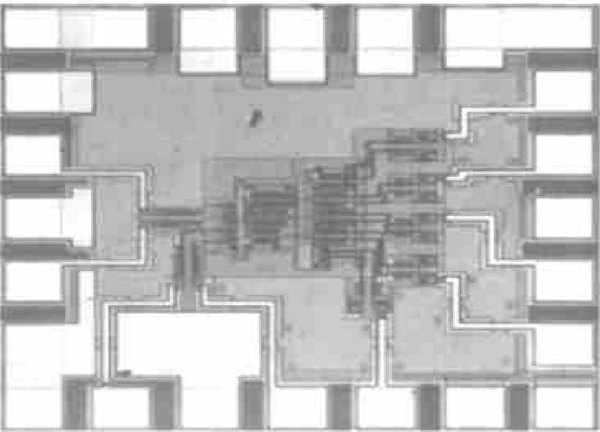


图 19 采用 0.25 μm CMOS 工艺设计的分接器

设计的一个重要组成部分。高速器件建模仍是电路设计的难点。

1.4.1 复接器

40 Gb/s 复接器的设计选用法国 OMMIC 的 0.2 μm PHEMT 工艺, 该工艺的 $f_t=55\text{ GHz}$, 主要用于 MMIC、光通信 IC 及 RFIC 等领域, OMMIC 提供了以下器件模型: nE/D FET 大小信号模型、肖特基势垒二极管: GM Diode 用于混频器、BE Diode 用于变容, overlap Diode 用于电压移位, 电阻有 NiCr 电阻和 GaAs 电阻, 它们的温度系数不同, MIM 电容有 2 种, 绝缘层材料为 $\text{SiO}_2+\text{Si}_3\text{N}_4$ 和 Si_3N_4 2 种, 螺旋电感 Spiral Inductor, 空气桥 Air-Bridge, 过孔 ViaHole, 焊接 Bumps, 各种连线、微带器件等。图 21 给出了工艺的有源层剖面图和 FET 管小信号模型。

用 0.2 μm PHEMT 工艺设计的 40 Gb/s 4:1 复接电路, 可选的方案有 3 种, 图 22 所示为其中之一。它是一个 2:1 复接器, 实测结果为 20 Gb/s, 采用传输线代替电感是这个电路的关键技术之一。

1.4.2 激光驱动器

用 0.2 μm GaAsPHEMT 工艺研制的激光驱动器电路通过测试变换方法得到了速率为 24 Gb/s 的输出信号波形, 这是目前国内最高的芯片速度记录, 电路应用了微波集成电路技术, 在版图设计上强调对称性和寄生效应的计算, 信号传输应用了波导技术。这个电路的挑战是, 在高速的情况下, 输出电流要大于 40 mA, 输出电压摆幅要大于 2 V, 这个电路包括前置放大和输出驱动两部分(见图 23)。

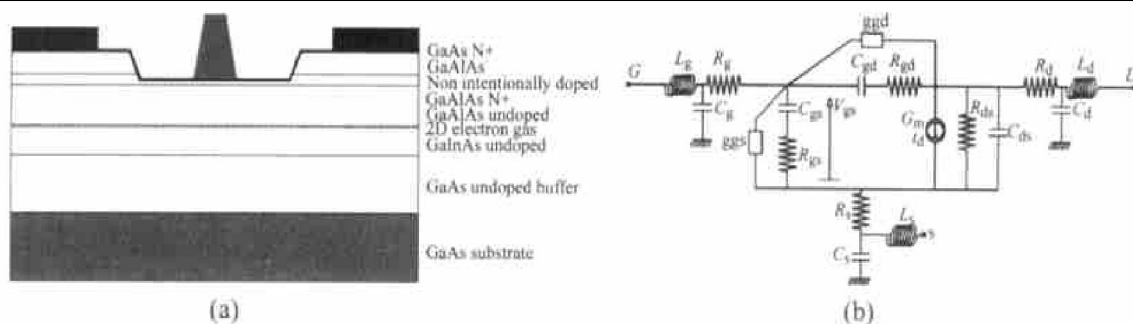
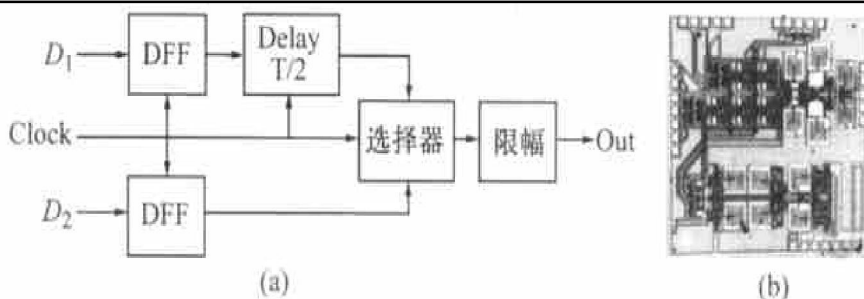


图 21 ED02AH 工艺的有源层剖面图和 FET 管小信号模型

图 22 0.2 μm GaAs PHEMT 工艺 2:1 复接器

(a) 一电路原理; (b) 一芯片照片

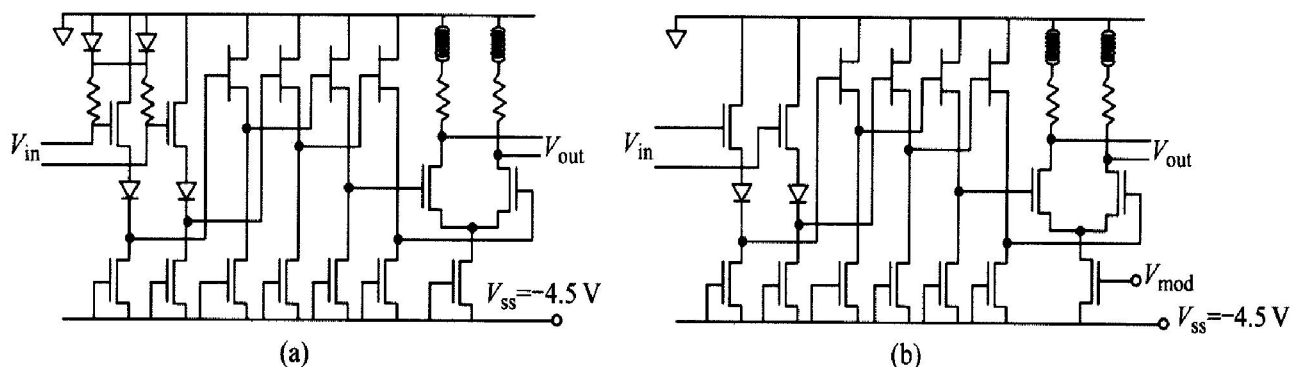
图 23 激光驱动器电路图
(a) 一前置放大; (b) 一输出驱动

图 24 所示为激光驱动器照片和测试结果。图 24(b) 的结果是工作在 12 Gb/s 时测得的, 其中电源采用 -4.38 V , 输入信号为幅度为 0.5 V , 输出信号幅度 2.5 V , 抖动为 9 ps , 上升时间为 31.5 ps , 下降时间为 46.6 ps , 比特率最大超过 $2/(t_r + t_f)^3 = 25\text{ Gb/s}$ 。图 24(c) 所示为工作在 24 Gb/s 时的输出信号波形。目前, 射光所测试设备的最高速度为 12 Gb/s。为了得到 24 Gb/s 的结果, 将差动输入的一端接时钟信号, 另一端接数据信号, 利用数据信号对时钟信号取样, 得到了速率为 24 Gb/s 的输出信号波形。

用 0.2 μm 和 0.1 μm PHEMT 工艺重新设计的 40 Gb/s 激光驱动器已模拟成功, 输出摆幅分别超过 2.5 V 和 5 V 。

1.4.3 前置和限幅放大器

40 Gb/s 的前置和限幅放大器采用常规结构的放大器形式已无法满足要求, 必须采用微波电路中行波或分布放大器的结构(见图 25), 晶体管的输入电容和输入线的特性参数共同确定输入传输线的特征阻抗 Z_0 , 而放大器的总增益为 $A = n g_m Z_0 / 2$ (式中 g_m 为管子的跨导; n 为分布放大器的级数)。对于常规结构的放大器, 放大倍数随级数的增加而增加, 带宽随级数的增加而减少, 对于分布放大器来说, 它的带宽与级数无关, 主要与 FET 管的特征频率 f_T 有关, 而增益是各级增益之和。

用 0.2 μm PHEMT 工艺设计的 40 Gb/s 分布式前置和限幅放大器正进行理论和电路结构研究, 2004 年 3 月为流片日期。

1.4.4 时钟恢复

40 Gb/s 时钟恢复电路的重点和难点是压控振

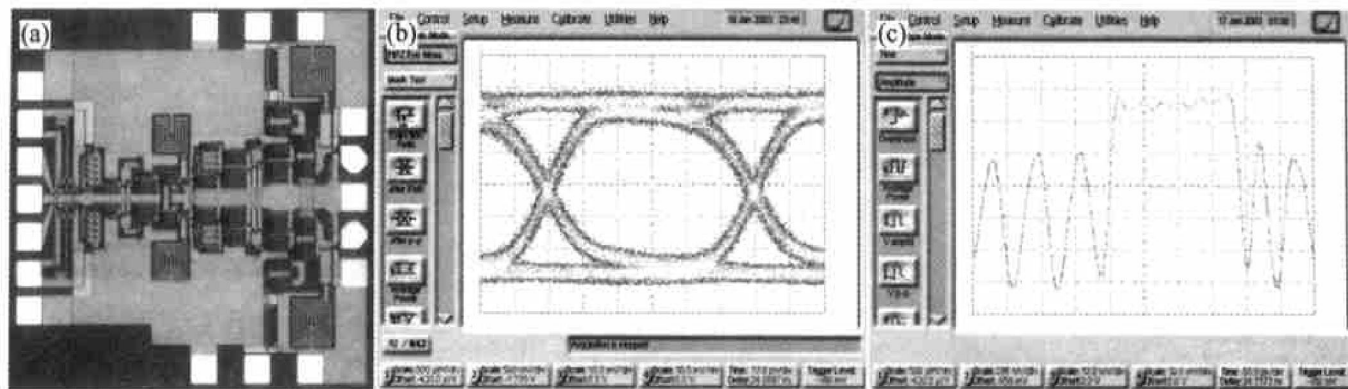


图 24 激光驱动器版图和测试结果

(a) 一芯片照片; (b) 一在 12 Gb/s 的测试眼图; (c) 一工作在 24 Gb/s 时的波形

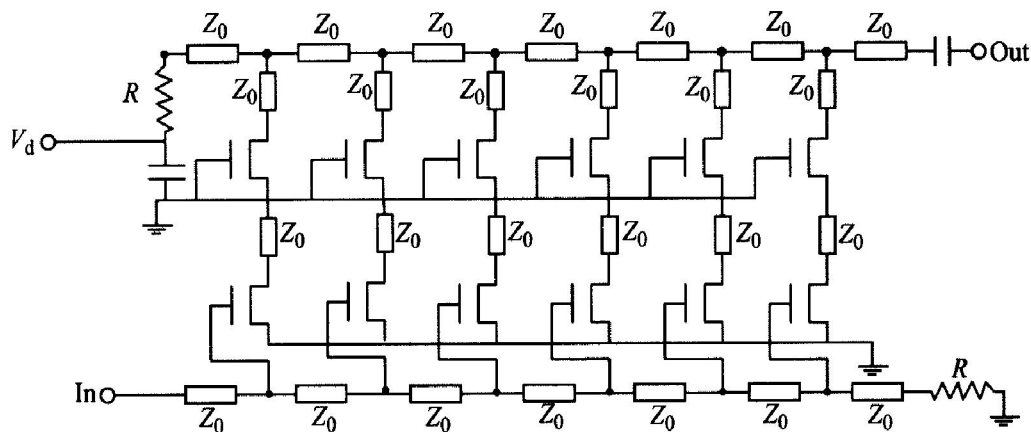


图 25 采用分布放大器方法的前置和限幅放大器电路

荡器 VCO 的设计, 主要原因是感性元件的感值不易得到准确值, 在超高频时, 寄生效应比较严重, 且无法预测, 需要进行多次的设计-流片的迭代, 才能知道最终结果。

作者采用 0.2 μm PHEMT 工艺研制的 30 GHz 的 VCO 芯片现等待测试。2003 年 3 月, 设计速率为 20 Gb/s 和 40 Gb/s 的时钟恢复电路参与了流片, 2003 年 9 月, 有 2 个 10~20 GHz 的 VCO 电路进行流片。图 26 给出了芯片的版图。由于目前受测试仪的限制, 在 12 GHz 以上的 VCO 还无法测得振荡频率。

图 27 所示为采用共面波导 (CPW) 技术设计的 40 GHz VCO 的电路图。

1.4.5 数据判决

采用 0.2 μm PHEMT 工艺研制的 40 Gb/s 电路的核心模块已设计完成, 2003 年 3 月已流片, 目前已回来等待测试 (图 28)。采用 0.2 μm PHEMT 工艺研制的超过 40 Gb/s 的超动态结构的判决电路完成设计并于 2003 年 9 月 5 日送出流片 (图 29)。

1.4.6 分接器

采用 0.2/0.1 μm GaAs PHEMT 工艺的分接器

电路将于 2004 年 3 月进行流片。

1.5 EDA 软件环境和芯片测试环境

电路研究采用了国际先进 EDA 工具, 主要有 Agilent 的 ADS, Cadence 公司的 Virtuoso, Silvare 的 Smartspice, Synopsys (Avant!) 公司的 HSPICE 等。

高速和射频集成电路芯片对测试仪器的频率、灵敏度等都有很高的要求, 价格通常很高, 仪器的使用技术性很强。射光所在国家和企业的部分资助和支持下, 建成了射频与超高速集成电路测试平台, 配置了超高速数字、射频、微波、毫米波和光电芯片在晶圆 (on wafer) 测试的基本设备和仪器。主要设备是美国 Cascade Microtech 公司的微波与高速芯片测试台, 配备了 10 多种不同信号组合的微波探头, 构成超高速数字、射频、微波、毫米波和光电芯片在晶圆测试的核心设备, 另外还有日本 ADVANTEST 公司的 12.5 Gb/s 脉冲图码发生器/误码检测仪, 美国 Agilent 公司的配有双通道 50 GHz 带宽电插件、10 Gb/s 1300~1550 nm 光通道与电通道插件、具有示波、眼图/模板和时域

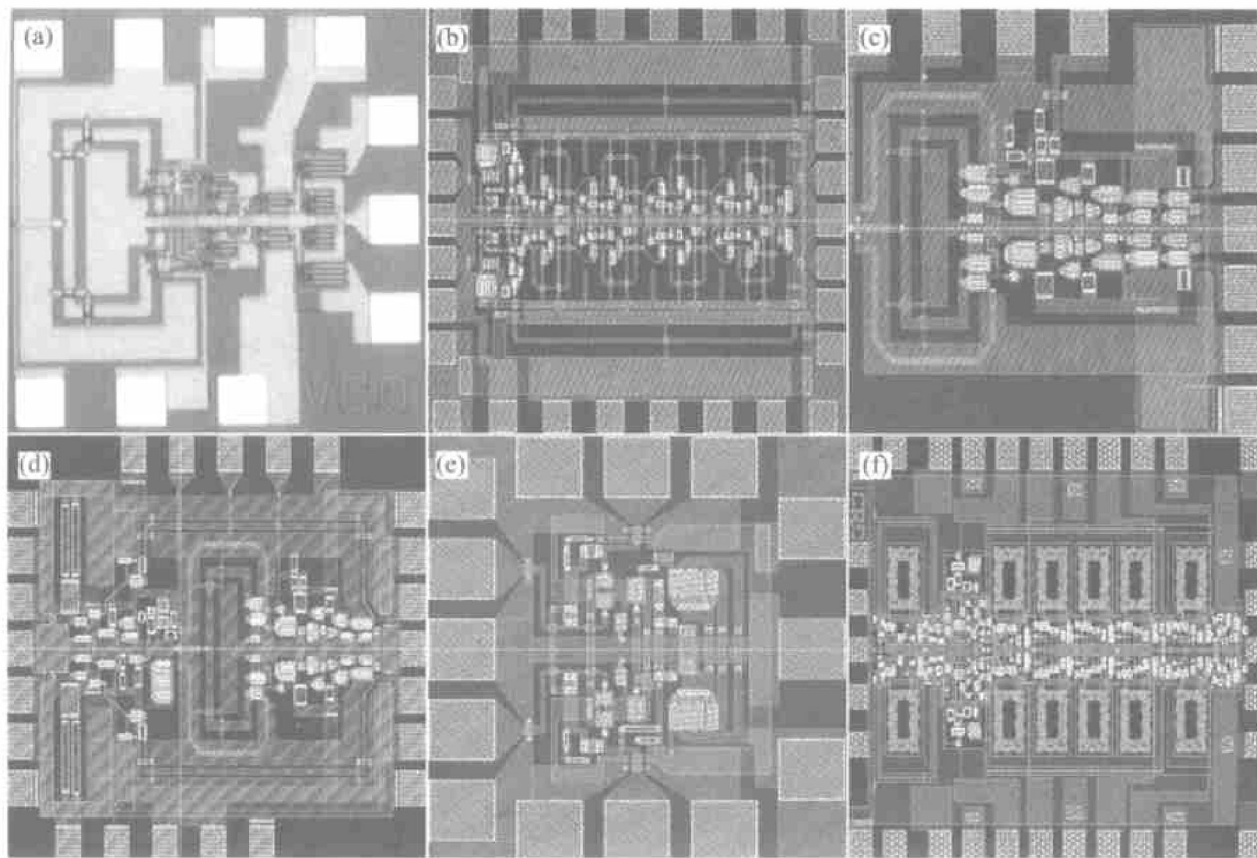


图 26 时钟恢复电路和 VCO 的版图

(a) —30 GHz VCO(待测试); (b) —快慢通道控制式 40 GHz VCO(待测试); (c) —电流控制式 40 GHz VCO(待测试);
(d) —40 GHz PLL(待测); (e) —40 GHz PD(待测); (f) —40 Gb/s 时钟恢复(待测)

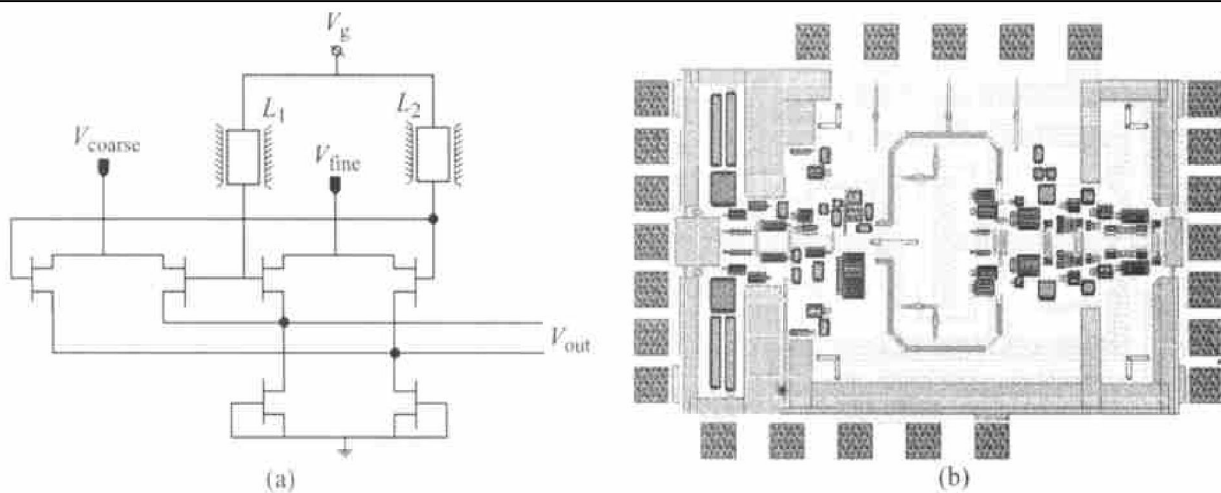


图 27 采用 CPW 技术设计的 40 GHz 的 VCO 电路和相应的 PLL 电路版图

反射分析 3 种功能的 86100A 系列数字通信分析仪。图 30 所示为测试实验室和相应的设备。

2 国际技术趋势和市场前景分析

2.1 国外研究动向

目前,国际上在 10 Gb/s 组芯片的研究和开发方面已比较成熟并走向商品化,国外许多研发机构

都在加紧研究 40 Gb/s 以上的集成电路,例如,Infineon 公司用 0.13 μm CMOS 工艺实现 40 Gb/s 2-to-1 复接器,UMS 公司用 0.13 μm PHEMT 工艺实现 40 Gb/s 的光通讯收发器;OMMIC 公司用 0.15 μm PHEMT 工艺实现了 43 Gb/s 的跨导放大器和 1:2 复接器。NTT 用 0.1 μm InP HEMT 工艺实现 47 Gb/s 1:4 分接器(见图 31);德国 Fraunhofer 的 IIS 研究所用 InP HBT 工艺实现了 80 Gb/s 的

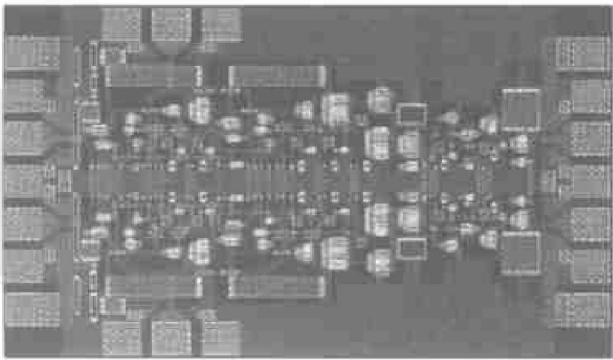


图 28 20~ 40 Gb/s 数据判决(待测试)

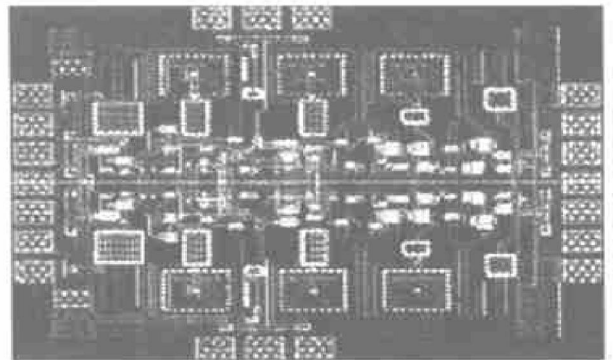
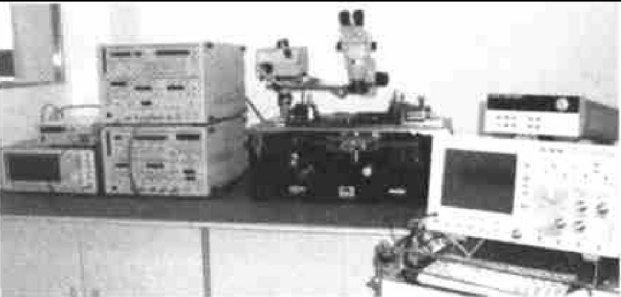
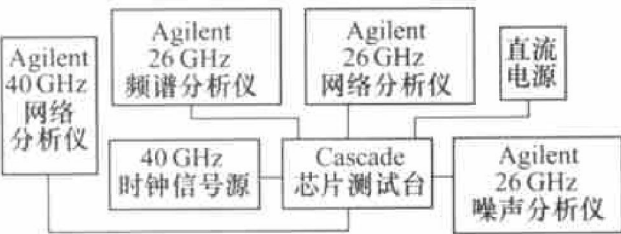


图 29 采用超动态 D 触发器的 40 Gb/s 数据判决



(a)



(b)

图 30 超高速集成电路测试系统

2:1 复接器(见图 32)。随着纳米技术向工艺领域的渗透,出现了 $f_t=260\text{ GHz}$ 的工艺(法国 iemn),预计在不久的将来,160 Gb/s 的芯片也将出现。

2.2 未来市场分析

目前,SDH 已成为各国核心网的主要传送技术,我国已建成世界第一大 SDH 网络,SDH 的发

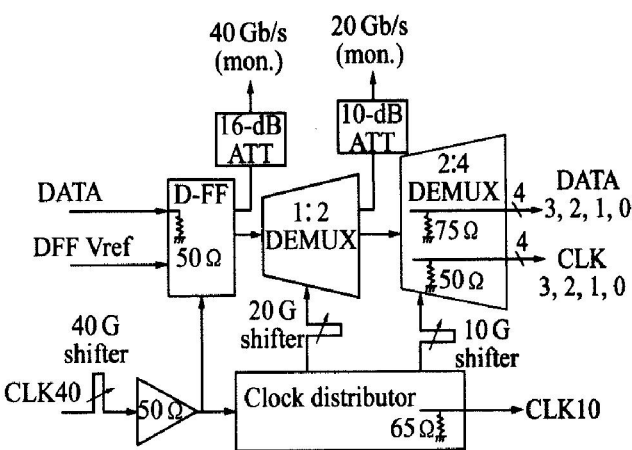
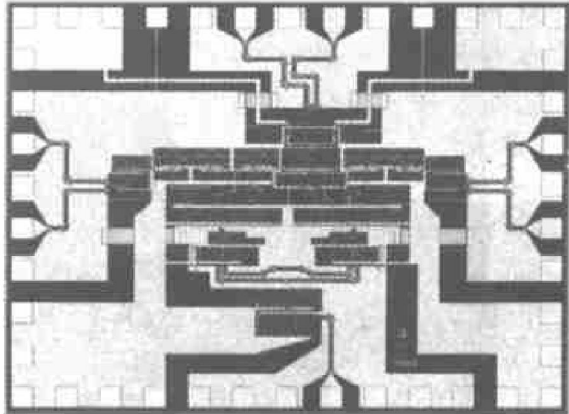


图 31 NTT0.1 μm InP HEMT 的 47 Gb/s 1:4 分接器



Chip photograph of a 2:1 Multiplexer for 80 Gb/s

图 32 德国 Fraunhofer IIS 的 80 Gb/s 2:1 复接器

展已从核心网扩散到了接入网,蜂窝通信系统也是 SDH 应用的最佳场所,SDH 在中近期仍将继续发展。目前,采用 TDM 方式的商用光纤通信系统的最大速率已达到 10 Gb/s,不少电信公司已开发出 40 G/s 的系统,160 Gb/s 的 ETDM 和 640 Gb/s 的 OTDM 的传输试验也已获成功。光纤通信进一步的发展是引入光复用方式,北电等公司的 $32\times 10\text{ Gb/s}$ 的 WDM 系统已开始商用化,西门子公司在实验室完成了 $80\times 40\text{ G/s}$ 的传输 40 km 的试验。与此同时,WDM 技术也向城域网发展,网络运营者可以提供透明的以波长为基础的低成本业务,用户可以灵活地传送任何格式的信号。光传送节点向多业务融合的方向发展,节点结构被简化,节点设备和网络的成本可望显著降低。光分插复用器(OADM)和光交叉连接器(OXC)的出现,满足了节点高效的灵活组网能力。利用 MEMS 光开关技术,朗讯公司实现了 256×256 的全光交叉连接器,可节约 25% 的运行费用和 99% 的能耗,美国 Xros 公司实现了 $1\,152\times 1\,152$ 的大型 OXC,其总容量已经比传统电交叉连接器提高了约 2 个数量级。光传送联网已经

成为继 SDH 电联网以后的又一次新的光通信发展高潮, 反过来可以带动电联网的进一步普及, 预计光电集成电路的产业高潮将很快到来。

参考文献

- [1] Wang Z G, Thiede A, Schlechtweg M. Clock and carrier recovery with a synchronized oscillator and a PLL [P]. Germany patent 19739645. 3.
- [2] 王志功. 光纤通信集成电路设计 [M]. 北京: 高等教育出版社, 2003. 196 - 202.
- [3] HUANG Ting, WANG Zhirong, ZHU En. 24 Gb/s laser/modulator driver IC using 0.2 μm gate length PHEMTs [A]. 29th European Solid-State Circuits Conference [C]. Portugal, 2003. 277 - 280.
- [4] Savoj J, Razavi B. A 10 Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector [J]. IEEE J-SSC, 2001, 36(5): 13 - 21.
- [5] Razavi B. Design of Analog CMOS Integrated Circuits [M]. McGraw Hill, 2001.
- [6] Ransijn H, et al. A 10-Gb/s laser/modulator driver IC with a dual-mode actively matched output buffer [J]. IEEE Journal of Solid-State Circuits, 2001, 36(9): 1314 - 1320.
- [7] WANG Zhirong, et al. 15 Gb/s integrated laser diode driver using 0.3 μm gate length quantum well transistors [J]. Electronics Letters, 1992, 28(3): 222 - 223.
- [8] WANG Zhirong, Thiede A, et al. 40 Gb/s GHz clock recovery and frequency multiplying AlGaAs/GaAs HEMT-IC using injection-synchronised narrowband ring-VCOs and auxiliary PLLs [J]. Electronics Letters, 1999, 35(10): 1151 - 1152.
- [9] Nakasha, Y, Suzuki T, et al. A 43-Gb/s full-clock 4:1 multiplexer in InP-based HEMT technology [J]. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1703 - 1709.
- [10] Huber D, et al. InP-InGaAs single HBT technology for photoreceiver OEIC's at 40 Gb/s and beyond [J]. Journal of Lightwave Technology, 2000, 18(7): 992 - 1000.
- [11] 韦乐平. 光同步数字传送网 [M]. 北京: 人民邮电出版社, 1998. 18 - 45.

(编辑 陈爱华)